

Docket No.: 67160-014

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Tetsuya MATSUURA, et al. :  
Serial No.: : Group Art Unit:  
Filed: July 29, 2003 : Examiner:  
For: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURE THEREOF

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

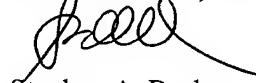
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-040787, filed February 19, 2003,**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:km  
Facsimile: (202) 756-8087  
CUSTOMER NUMBER 20277  
**Date: July 29, 2003**



日本国特許庁  
JAPAN PATENT OFFICE

G 711 US  
67160-014  
Tetsuya Matsuura, et al  
July 29, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2003年 2月 19日

出願番号

Application Number: 特願 2003-040787

[ ST.10/C ]:

[ JP 2003-040787 ]

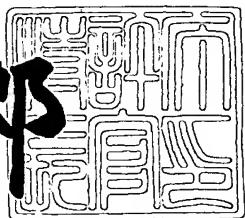
出願人

Applicant(s): 三菱電機株式会社

2003年 3月 11日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特 2003-3015209

【書類名】 特許願

【整理番号】 541630JP01

【提出日】 平成15年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 松浦 哲也

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 道井 一成

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 柴田 潤

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 板東 晃司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100117695

【弁理士】

【氏名又は名称】 大塚 環

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項1】 基板と、前記基板の正面に配置されて樹脂封止された半導体チップと、を含む第1の半導体と、

実装基板と、

前記実装基板と、前記基板との間に配置されたスペーサと、

前記実装基板と、前記基板と、前記スペーサにより形成される空間に、前記実装基板に電気的に接続して配置された第2の半導体と、

を備え、

前記スペーサは、前記第1の半導体と、前記実装基板とを、電気的に接続することを特徴とする半導体装置。

【請求項2】

前記第2の半導体は、前記実装基板上に複数個配置されることを特徴とする請求項1に記載の半導体装置。

【請求項3】

半導体装置用のスペーサが複数個連続して形成されたスペーサ基板の、個々の前記スペーサに、第1の半導体を搭載する第1の半導体搭載工程と、

前記個々のスペーサの、第1の半導体が接続された部分とは反対側に、かつ、前記第1の半導体と同一方向に向けて、それぞれ、第2の半導体を搭載する第2の半導体搭載工程と、

前記スペーサ基板を、前記半導体装置ごとに分割する分割工程と、  
を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置及び半導体装置の製造方法に関する。更に具体的には、1の装置内に、複数の半導体チップを備える半導体装置及びその製造方法に関するものである。

## 【従来の技術】

## 【0002】

近年、電子機器の小型化、高機能化などの要求の高まりに伴って、電子機器内に搭載される半導体装置に対しても、小型化、高機能化の要求が高まっている。このような要求に応じ、半導体装置を小型化、高機能化する種々の手段の研究がなされているが、このような手段の1つとして、1の半導体装置のパッケージ内に、複数の半導体を重ねて実装する方法が考えられている。

## 【0003】

複数の半導体装置を1のパッケージ内に重ねて実装する方法としては、例えば、上段に配置する半導体を搭載する基板の背面に凹部を形成し、この凹部の空間内に、下段用の半導体を収納するようにして配置するものなどがある（例えば、特許文献1参照。）。

## 【0004】

## 【特許文献1】

特開平11-112121号公報

## 【0005】

## 【発明が解決しようとする課題】

しかし、このような構造の半導体装置を製造する場合、上段に配置される半導体の基板に、凹部を形成するため、ザグリ加工を施さなければならない。このため、この基板自体の製造に時間及び費用がかかることなり、結果的に、半導体装置全体の製造時間及び製造費用の増大に繋がることとなってしまう。

## 【0006】

したがって、この発明は、上述のような問題を解決しすることを目的として、半導体装置の製造時間及び製造費用を抑えつつ、半導体装置の小型化、高機能化を図ることができるパッケージを用いた半導体装置及びその製造方法を提案するものである。

## 【0007】

## 【課題を解決するための手段】

したがって、この発明の半導体装置は、基板と、前記基板の正面に配置されて

樹脂封止された半導体チップと、を含む第1の半導体と、  
実装基板と、  
前記実装基板と、前記基板との間に配置されたスペーサと、  
前記実装基板と、前記基板と、前記スペーサとにより形成される空間に、前記  
実装基板に電気的に接続して配置された第2の半導体と、  
を備え、  
前記スペーサは、前記第1の半導体の端子と、前記実装基板の端子とを、電気  
的に接続するものである。

【0008】

また、この発明の半導体装置の製造方法は、半導体装置用のスペーサが複数個連続して形成されたスペーサ基板の、個々の前記スペーサに、第1の半導体を搭載する第1の半導体搭載工程と、

前記個々のスペーサの、第1の半導体が接続された部分とは反対側に、かつ、  
前記第1の半導体と同一方向に向けて、それぞれ、第2の半導体を搭載する第2  
の半導体搭載工程と、

前記スペーサ基板を、前記半導体装置ごとに分割する分割工程と、  
を備えるものである。

【0009】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。なお、各図において、同一または相当する部分には同一符号を付してその説明を簡略化ないし省略する。

【0010】

実施の形態1.

図1は、この発明の実施の形態1における半導体装置100を説明するための断面図である。また、図2は、半導体装置100を説明するための一部透視図を含む背面図である。

図13を参照して、半導体装置100には、実装基板2に配置された下段半導体200と、上段半導体300とが配置されている。上段半導体300は、スペ

ーサ400を介して、実装基板2と、所定の間隔を持って配置され、下段半導体200は、実装基板2と、スペーサ400と、上段半導体300とによって囲まれる空間内に配置されている。但し、図2では、実装基板2を透視した状態を表している。

以下、図を用いて、半導体装置100の具体的な構造について説明する。尚、この明細書において、図1における上方側を、半導体装置100の各部材の正面側と称し、正面側に対向する面側（即ち、図1においては、下方側）を、背面側と称することとする。

#### 【0011】

実装基板2には、下段半導体200用のランド4と、上段半導体300用のランド6とが、それぞれ、複数配置されている。下段半導体200用のランド4は、奥行き方向、即ち、図1において紙面に垂直な方向に、2列平行に、所定の数ずつ並べられて配置されている。上段半導体300用のランド6は、ランド4の列より外側に、奥行き方向に、2列平行に、所定の数ずつ並べられて配置されている。また、各ランド4、6は、それぞれ、外部の電極に接続可能な端子（図示せず）に接続され、外部との電気的な接続が可能となっている。

#### 【0012】

下段半導体200において、基板202の主面上に、半導体チップ204が配置されている。また、半導体チップ204の正面には、複数のボンディングパッド206が、半導体チップ204正面の奥行き方向に平行な、互いに対向する2辺に沿って、2列に並べられて配置されている。各ボンディングパッド206には、それぞれ、ワイヤ208の一端が接続されている。また、基板202正面の半導体チップ204の外側には、複数のパッド210が、各ボンディングパッド206に対応して、奥行き方向に2列に並べられて配置されている。各ワイヤ208の他端は、それぞれ、パッド210に接続されている。このように、各ボンディングパッド206が、それぞれ、ワイヤ208を介してパッド210に接続された状態で、半導体チップ204は、絶縁樹脂212により、基板202正面に樹脂封止されている。

#### 【0013】

一方、図13を参照して、基板202の背面には、各パッド210に対応する位置に、即ち、基板202の奥行き方向に平行な、互いに対向する2辺に沿って、複数のランド214が2列に並べられて配置されている。各パッド210と、各ランド214とは、基板202に設けられたスルーホール216を介して接続されている。スルーホール216には、導電体が充填され、これによって、各パッド210と、各ランド214との電気的な接続が可能となっている。また、各ランド214には、それぞれ、半田ボール220が設けられている。半田ボール220は、実装基板2に配置された下段半導体200用のランド4上に接続されている。

#### 【0014】

このように、半導体装置200において、半導体チップ204の各ボンディングパッド206は、それぞれ、ワイヤ208を介して、パッド210に接続されている。また、各パッド210は、それぞれ、スルーホール216を介して、ランド214に接続されている。更に、各ランド214は、半田ボール220により、実装基板2上のランド4に接続されている。このようにして、半導体チップ204は、外部との電気的な接続が可能となっている。

#### 【0015】

また、上段半導体300も、下段半導体200とほぼ同様に構成されている。すなわち、上段半導体300は、基板302上に、半導体チップ304が配置され、半導体チップ304は、その主面上のボンディングパッド306が、ワイヤ308により、パッド310に接続された状態で、封止樹脂312により、基板302主面上に封止されている。また、各パッド310は、それぞれ、ランド314に、スルーホール316を介して接続されている。

#### 【0016】

但し、下段半導体200とは異なり、上段半導体300のランド314には、半田ボール220は、設けられていない。ランド314には、半田ボールに代えて、半田ペースト320が設けられ、これにより、ランド314は、スペーサ400の所定箇所に接続されている。

#### 【0017】

スペーサ400は、スペーサ部材402を備える。図2に示すように、スペーサ部材402は、実装基板2主面の互いに対向する奥行き方向に平行な2辺に沿って、平行に2本配置されている。図1に示す断面においては、各スペーサ部材402は、半導体装置200よりも、多少高さの高い柱状の部材である。再び、図2を参照して、背面から見た場合には、各スペーサ部材402は、奥行き方向に長い、棒状の部材である。

#### 【0018】

各スペーサ部材402背面には、複数の下段ランド404が、奥行き方向に並べられて配置されている。図1を参照して、各スペーサ部材402の主面側には、各下段ランド404に対応して、同数の上段ランド406が配列されている。

#### 【0019】

図3は、図2のA-A'方向におけるスペーサ400の断面模式図である。

図3に示すように、各スペーサ部材402内部の、各ランド404、406が設けられている位置には、主面側から背面側まで、スペーサ部材402を貫通するスルーホール408が設けられている。各スルーホール408には、導電体が充填され、これにより、下段ランド404と上段ランド406とがそれぞれ接続されている。

#### 【0020】

このように構成された各スペーサ部材402の下段ランド404は、それぞれ、実装基板2の上段半導体300用のランド6に接続されている。また、各スペーサ部材402の各上段ランド406は、それぞれ、半田ペースト320により、上段半導体300の背面の314に接続されている。

#### 【0021】

即ち、上段半導体300において、半導体チップ304の主面に形成された各ボンディングパッド306は、それぞれ、ワイヤ308を介してパッド310に接続され、各パッド310が、それぞれ、スルーホール316を介して、ランド314に接続されている。また、各ランド314は、それぞれ、半田ペースト320により、上段ランド406に接続され、各上段ランド406が、それぞれ、スルーホール408を介して下段ランド404に接続されている。更に、各下段

ランド404が、実装基板2主面の上段半導体300用のランド6に接続され、これにより、半導体チップ304は、外部との電気的な接続を得ることができるようになっている。

#### 【0022】

下段半導体200は、上述のように、外部との接触が確保された状態で、上段半導体300の基板2と、実装基板2との間の、スペーサ400を介してできる空間に配置されている。

#### 【0023】

尚、半導体装置100は、上述のように構成されているため、それぞれの部材に設けられた、接続用の各端子、即ち、実装基板2のランド4、6、半導体装置200の半田ボール220、ランド214、パッド210、ボンディングパッド206、半導体300のランド214、パッド310、ボンディングパッド206、更に、スペーサ400のランド404、406は、実装基板2あるいは、基板202、302の互いに対向する奥行き方向に平行な2辺に沿って、所定の位置に並べられ、互いに接続される各端子に対応する位置に、対応する端子と同じ数配置されている。

#### 【0024】

以上説明したように、この発明によれば、スペーサ400を介して、上段半導体300を配置し、上段半導体300とスペーサ400とに囲まれた空間に下段半導体200を配置することができる。したがって、1の半導体装置100に2つの半導体を搭載することができ、半導体装置の縮小化、高機能化を図ることができる。また、上段半導体300、下段半導体200は、それぞれ、通常通りの工程で形成し、従来通りのパッケージを用いて、パッケージした状態で、スペーサ400を用いて、これらの半導体を重ねることができる。したがって、スペーサ400のみを準備すれば、上段、下段半導体を載置する基板等、特別なものを準備する必要もなく、また、特に複雑な工程を必要とせず、安価に、小型化、高機能化した半導体装置を得ることができる。

#### 【0025】

なお、実施の形態1では、各半導体200、300において、ボンディングバ

ッド206、306が、各半導体チップ204、304の外周部の対向する2辺にのみ、配列され、これに対応して、各部材の端子が形成されている場合について説明した。しかし、この発明はこのような端子の配置に限るものではなく、例えば、外周部一周にボンディングパッドが配置されているものなど他の構造のものであってもよい。このような場合にも、ボンディングパッドの配列に合わせて配置された上段半導体のランドの位置にあわせて、ランドを形成したスペーサを設けて対応すればよい。

#### 【0026】

また、この発明において、上段、下段の半導体のパッケージは、この実施の形態1において説明した下段半導体200、300のパッケージに限るものではない。例えば、ボンディングパッドと、基板上のパッドがワイヤで接続されるものではなく、基板に設けられたスルーホールを介して、直接接続されるような構造のパッケージなど、他の構造のものであってもよい。この場合にも、上段半導体の基板に設けられた外部接続用の端子と接続できるように、ランドを配置したスペーサを用いればよい。

#### 【0027】

また、この発明において、スペーサ部材402は、下段ランド404を半田ランドとして、これにより、実装基板2のランドと接続する場合について説明した。しかし、この発明は、これに限るものではなく、例えば、図5に示すように、下段ランド部分404を、半田ボール410として、これにより、実装基板2のランド6と接続するものであってもよい。また、これは、下段ランド404に限らず、他の部分、例えば、上段ランド406や、半導体300の半田ペースト320が半田ボールであっても良く、また、半導体200の半田ボール220が、半田ペースト等であっても良い。

#### 【0028】

実施の形態2.

図5は、この発明の実施の形態2におけるスペーサ基板420を説明するための上面図である。また、図6は、図5におけるB-B'方向のスペーサ基板420の断面図である。

実施の形態2において製造される半導体装置100は、実施の形態1において製造される半導体装置と同様である。したがって、半導体装置100内で用いられるスペーサ400も、同様に、スペーサ部材402、及びスルーホール408で接続された下段ランド404と、上段ランド406とを備える。

#### 【0029】

しかし、実施の形態2においては、図5、図6に示すような、スペーサ基板420を用いて、半導体装置100を組み立てる。図5、図6に示すように、スペーサ基板420には、1の半導体装置100内で用いられる1組のスペーサ部材402が複数組連続して形成されている。また、1組のスペーサ部材402に挟まれている部分には、下段半導体200を載置するための空間422が設けられている。また、スペーサ部材402には、実施の形態1で説明したように、スルーホール408により接続された下段ランド404と、上段ランド406とが予め形成されている。

#### 【0030】

図7は、この発明の実施の形態2における半導体装置100の製造方法を説明するためのフロー図である。また、図8～図12は、実施の形態2における半導体装置100の各製造工程における状態を説明するための断面図である。

以下、図7～図12を参照して、この発明の実施の形態2における半導体装置100の製造方法について説明する。

#### 【0031】

まず、図8に示すように、スペーサ基板420の上段ランド406上に半田424を印刷する(ステップS2)。次に、図9に示すように、半田424により、スペーサ部材402上に、上段半導体300を、それぞれ搭載し(ステップS4)、加熱する(ステップS6)。これにより、半田424が溶解して、上段ランド406と、上段半導体300のランド314とが接着される。次に、図10に示すように、スペーサ基板420の下段ランド404に、半田426を印刷する(ステップS8)。

#### 【0032】

一方、実装基板2に、下段半導体200を搭載し(ステップS8)、加熱する

(ステップS10)。これにより、下段半導体200を、実装基板2に接着する。

次に、図12に示すように、スペーサ基板420の下段ランド404に、下段半導体200を搭載する(ステップS12)。このとき、下段半導体200は、スペーサ基板420の空間422に配置されるようとする。その後、リフローを行い(ステップS14)、個々の半導体装置100ごとに、スペーサ基板420を分割する(ステップS16)。

以上のようにして、図1に示すような半導体装置100が形成される。

その他の部分は、実施の形態1と同様であるから説明を省略する。

#### 【0033】

以上説明したように、実施の形態2においては、複数のスペーサ400が連続して形成されたスペーサ基板420を用いる。これにより、上段半導体300と、下段半導体200とを搭載する工程を、複数の半導体装置について一括して行うことができ、半導体装置の製造時間を短縮することができる。

#### 【0034】

なお、この実施の形態においては、実装基板2の正面側にのみ上下の半導体200、300を搭載する場合について説明した。しかし、この発明は、これに限るものではなく、実装基板2の両面に、半導体200、300を搭載するものであっても良い。この場合にも、上述したものと同様の工程を繰り返すことにより、半導体装置を組み立てることができる。

#### 【0035】

実施の形態3.

図13は、この発明の半導体装置500を説明するための断面図である。

図13に示すように、半導体装置500の上段半導体300及びスペーサ400の配置構成は、実施の形態1において説明した半導体装置100と同様である。しかし、半導体装置500においては、上段半導体300の下方に配置される下段半導体600は、実施の形態1で説明したものは異なる。実施の形態1において説明した下段半導体200は、BGA(Ball Grid Array)を用いてパッケージしたものであるが、この実施の形態3における下段半導体600は、LGA

(Land Grid Array) を用いた、小型の半導体である。また、下段半導体600は、上段半導体300の下方に、5個配置され、これに対応して、実装基板2に設けられたランド4に接続されている。

その他の部分は、実施の形態1と同様であるから説明を省略する。

#### 【0036】

以上説明したように、この実施の形態3においても、上段半導体300と、実装基板2との間にスペーサが設けられている。したがって、実装基板2と、上段半導体300との間に、下段半導体600を配置することができ、半導体装置100の小型化、高機能化を図ることができる。

#### 【0037】

なお、この実施の形態では、下段半導体として、5つの半導体を配置したが、この発明はこれに限るものではなく、上段半導体300下方のスペースと、下段半導体の大きさとを考慮すれば、必要な個数配置することができる。

#### 【0038】

また、この実施の形態では、下段半導体として、LGAを用いた半導体を配置する場合について説明した。しかし、この発明は、これに限るものではなく、例えば、QFP (Quad Flat Package) 等、他のパッケージの半導体装置等や、あるいは、Tr、抵抗といったチップ部品などを配置するものであってもよい。

#### 【0039】

なお、この発明において第1、第2の半導体には、それぞれ、例えば、実施の形態における上段半導体300、下段半導体200とが該当する。また、例えば、実施の形態2におけるステップS2～S6を実行することにより、第1の半導体搭載工程が実行され、例えば、ステップS12を実行することにより、第2の半導体搭載工程が実行され、例えば、ステップS16を実行することにより、分割工程が実行される。

#### 【0040】

##### 【発明の効果】

以上説明したように、この発明によれば、第1の半導体と、実装基板との間に、スペーサを設けて、実装基板と、第1の半導体により形成される空間に、第2

の半導体を配置する。従って、特に、第1、第2の半導体を載置する基板等を準備する必要とせず、通常の工程で形成された半導体を容易に重ねることができるため、安価に、小型化、高機能化した半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1における半導体装置を説明するための断面模式図である。

【図2】 この発明の実施の形態1における半導体装置を説明するための背面模式図である。

【図3】 この発明の実施の形態1におけるスペーサを説明するための断面模式図である。

【図4】 この発明の実施の形態1における半導体装置を説明するための断面模式図である。

【図5】 この発明の実施の形態2におけるスペーサ基板を説明するための上面模式図である。

【図6】 この発明の実施の形態2におけるスペーサ基板を説明するための断面模式図である。

【図7】 この発明の実施の形態2における半導体装置の製造方法を説明するためのフロー図である。

【図8】 この発明の実施の形態2における半導体装置の製造工程における状態を説明するための断面模式図である。

【図9】 この発明の実施の形態2における半導体装置の製造工程における状態を説明するための断面模式図である。

【図10】 この発明の実施の形態2における半導体装置の製造工程における状態を説明するための断面模式図である。

【図11】 この発明の実施の形態2における半導体装置の製造工程における状態を説明するための断面模式図である。

【図12】 この発明の実施の形態2における半導体装置の製造工程における状態を説明するための断面模式図である。

【図13】 この発明の実施の形態3における半導体装置を説明するための

断面模式図である。

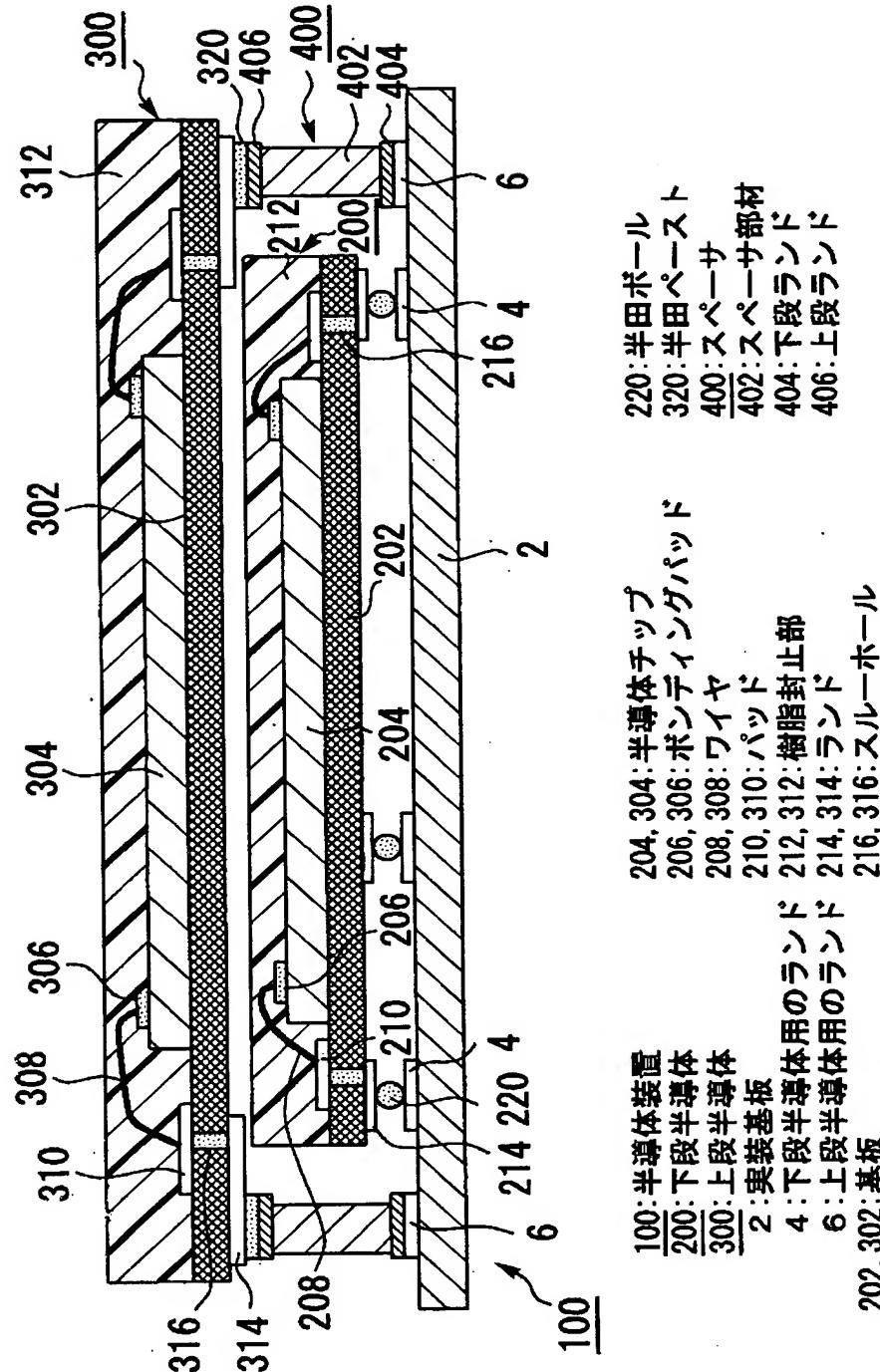
【符号の説明】

2 実装基板、 4 下段半導体用のランド、 6 上段半導体用のランド、  
100 半導体装置、 200 下段半導体、 300 上段半導体、 202  
、 302 基板、 204、 304 半導体チップ、 206、 306 ボンデ  
ィングパッド、 208、 308 ワイヤ、 210、 310 パッド、 21  
2、 312 封止樹脂、 214、 314 ランド、 216、 316 スルー  
ホール、 220 半田ボール、 320 半田ペースト、 400 スペーサ  
、 402 スペーサ部材、 404 下段ランド、 406 上段ランド、  
408 スルーホール、 410 半田ボール、 420 スペーサ基板、 4  
22 空間、 424、 426 半田、 500 半導体装置、 600 下段  
半導体。

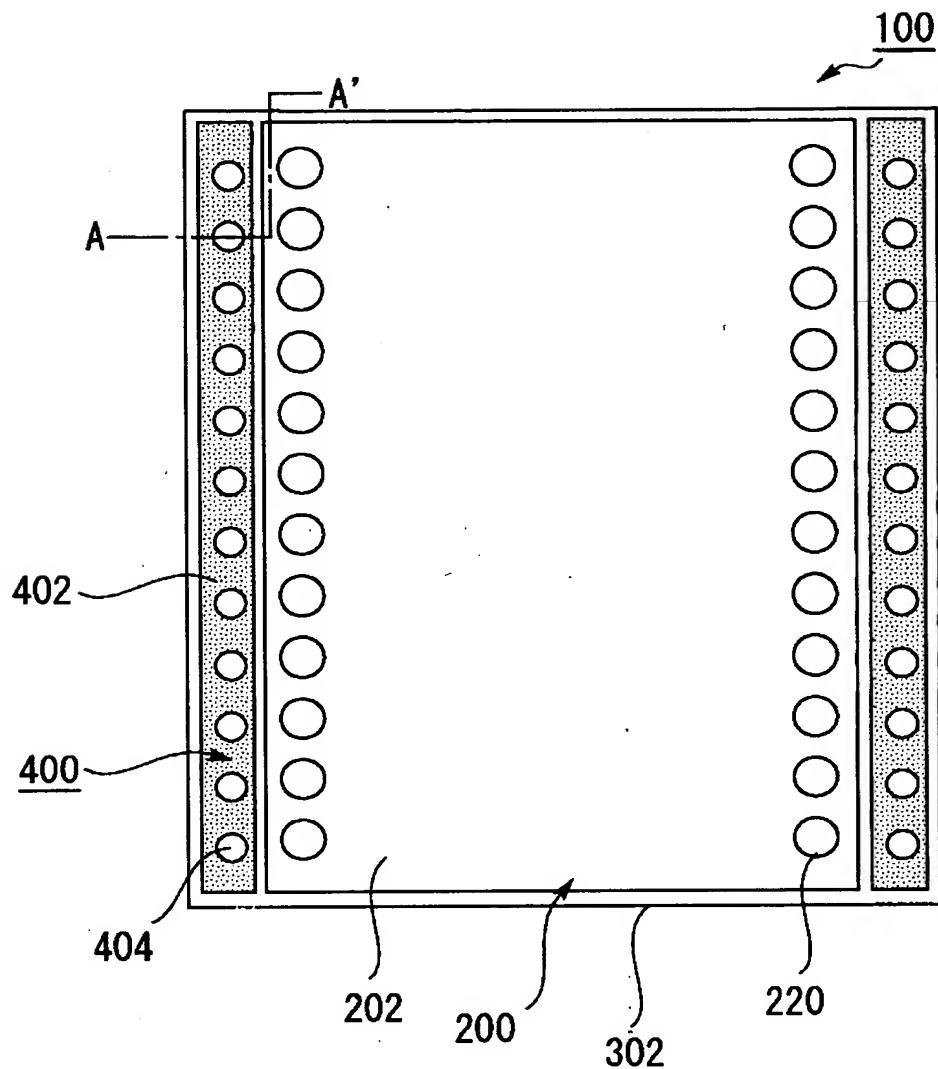
【書類名】

図面

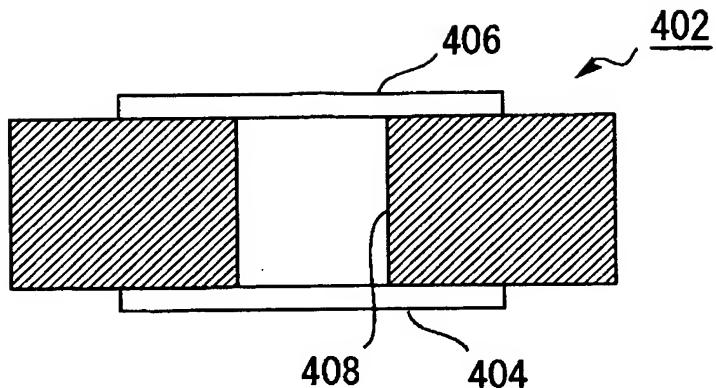
【図1】



【図2】

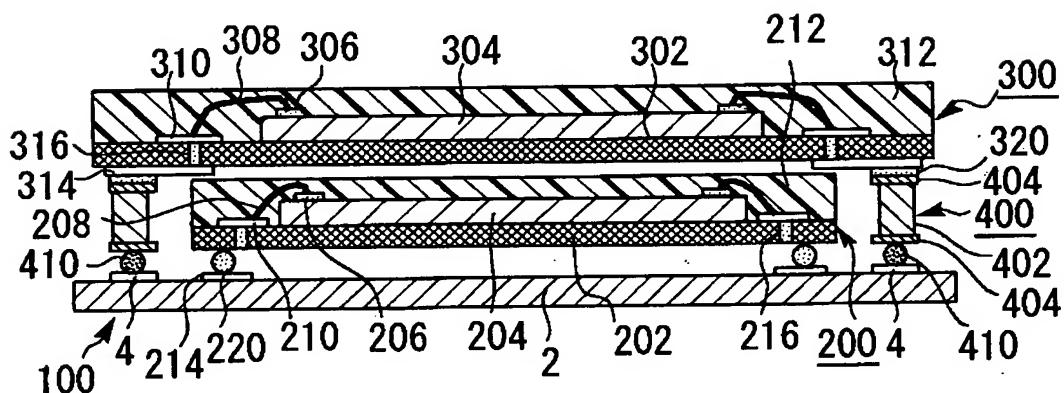


【図3】



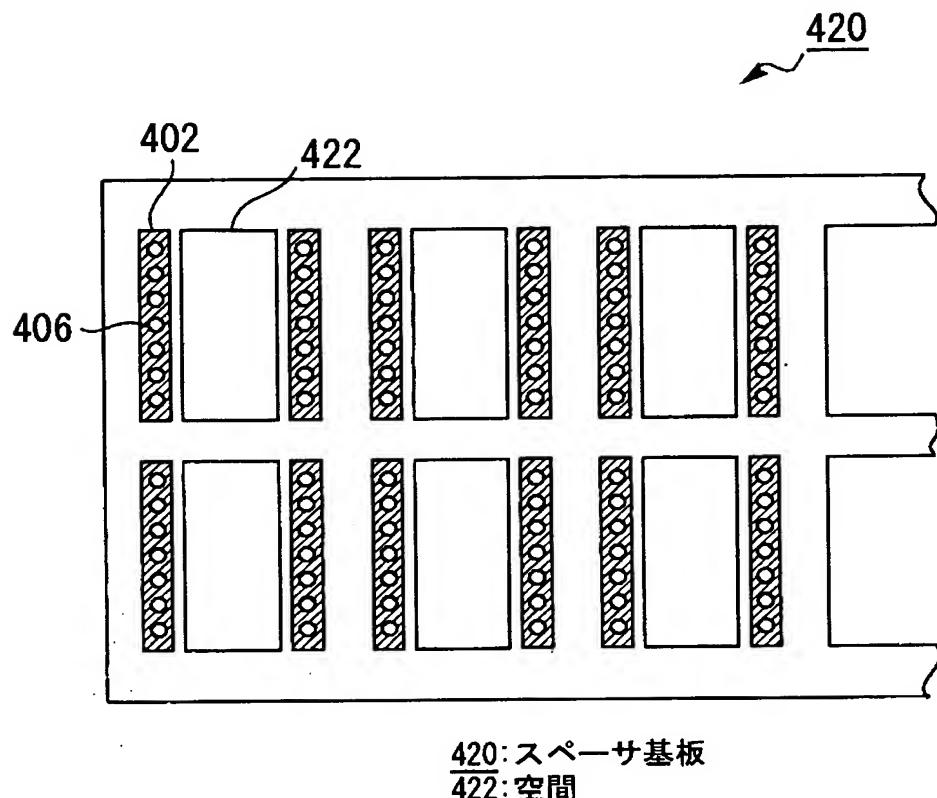
408:スルーホール

【図4】

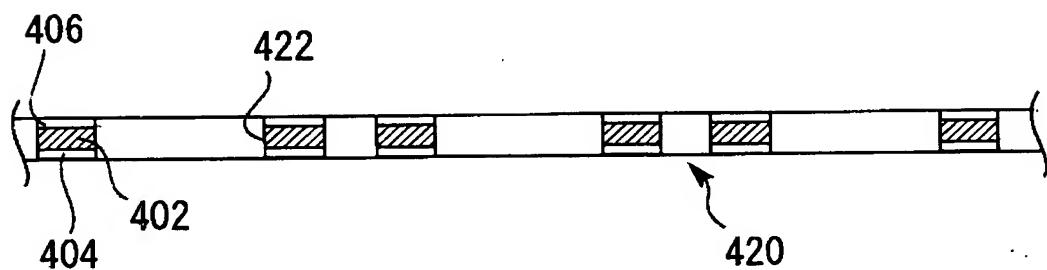


410:半田ボール

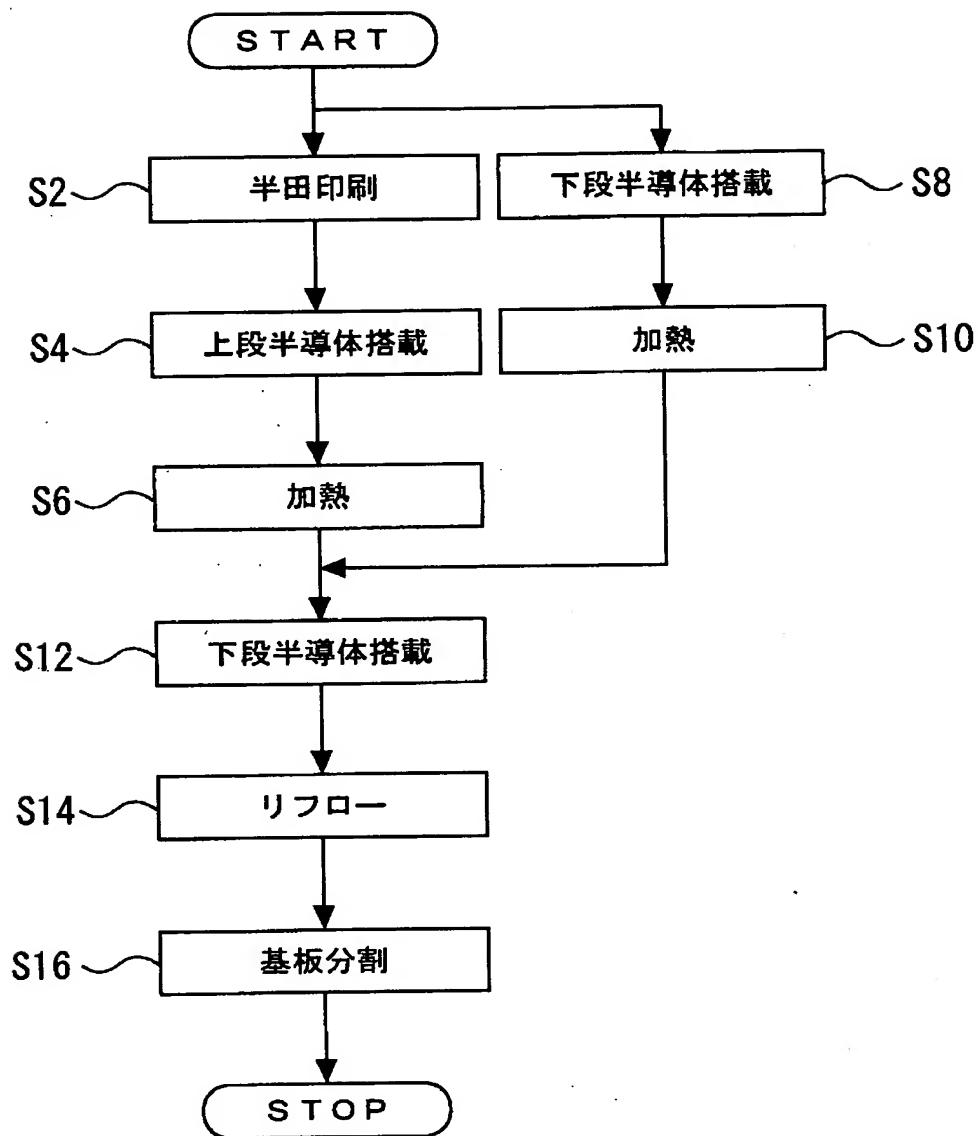
【図5】



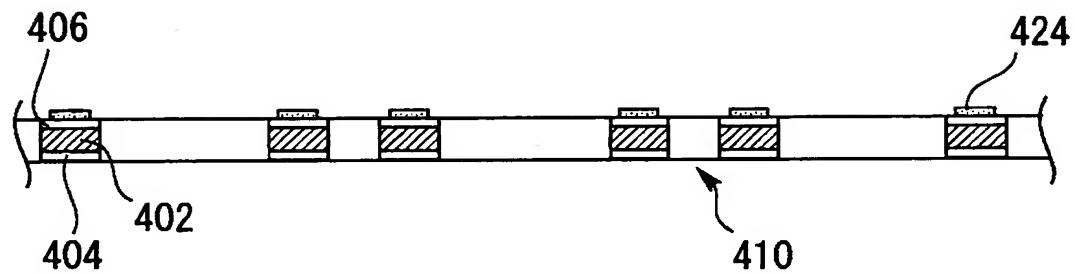
【図6】



【図7】

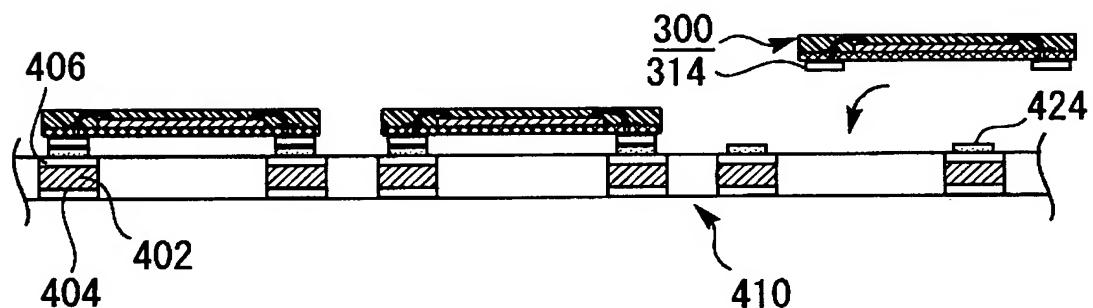


【図8】

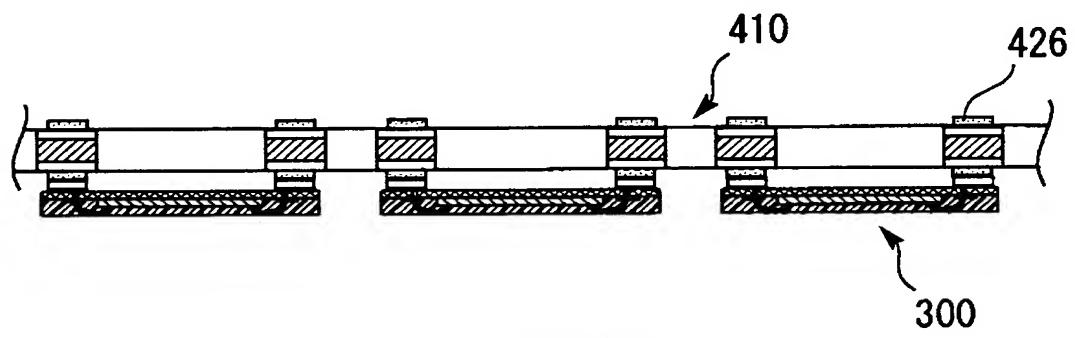


424:半田

【図9】



【図10】

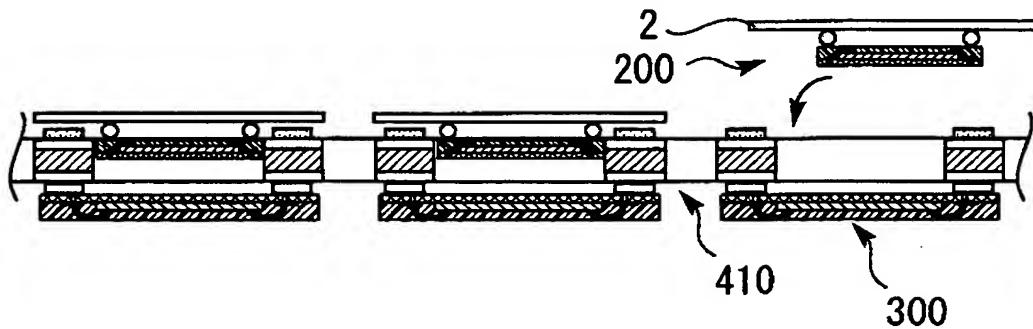


426:半田

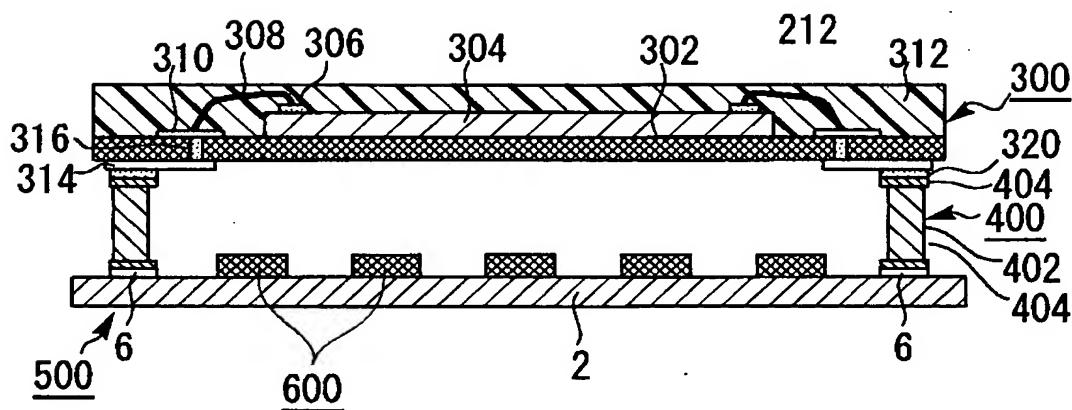
【図11】



【図12】



【図13】



500:半導体装置  
600:下段半導体

【書類名】 要約書

【要約】

【課題】 半導体装置の製造時間及び製造費用を抑えつつ、半導体装置の小型化、高機能化を図ることができるパッケージを用いた半導体装置及びその製造方法を提案する。

【解決手段】 半導体装置において、基板と、基板の正面に配置されて樹脂封止された半導体チップとを含む第1の半導体と、実装基板と、実装基板と、前記基板との間に配置されたスペーサと、第2の半導体とを配置する。この際、第2の半導体は、実装基板と、第1の半導体と、スペーサとにより形成される空間に、実装基板に電気的に接続して配置する。また、スペーサは、第1の半導体と、実装基板とを、電気的に接続するように配置する。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社